

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-119698

(43)Date of publication of application : 30.04.1999

---

(51)Int.CI. G09F 9/33  
G09G 3/32

---

(21)Application number : 09-287284 (71)Applicant : NEC CORP  
(22)Date of filing : 20.10.1997 (72)Inventor : NAKAMURA AKIRA

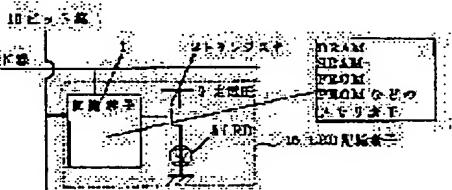
---

## (54) LED PANEL WITH BUILT-IN VRAM FUNCTION

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide an LED panel with a built-in VRAM function which eliminates the need for VRAM and a display controller, contributes to reduce a cost in a whole system and an area and increases a plotting speed.

SOLUTION: An LED 3 selected from an external system through a bit line 10 and a word line 11 is able to write data to a storage element 1. Since the data written in the storage element 1 are drawn out to the outside and are connected to the base or the gate of a transistor 2 (a PNP bipolar transistor or an n-type MOS FET (enhancement) is assumed in order to make a characteristic to switch ON with '1' and switch OFF with '0' have), the light emission- switching of the LED 3 is performed in accordance with the voltage deviation of the data written in this storage element 1.



---

## LEGAL STATUS

[Date of request for examination] 20.10.1997

[Date of sending the examiner's decision of rejection] 28.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

Japanese Publication for Unexamined Patent Application

No. 119698/1999 (Tokukaihei 11-119698)

(A) Relevance to claim

This document has relevance to claim 1 of the present application.

(B) Translation of the Relevant Passages of the Document

[WHAT IS CLAIMED IS]

[CLAIM 1]

An LED panel with a built-in VRAM function comprising:

an input address port which serves as an address or an input port of an address control signal;

a row address decoder for decoding a row address with respect to the address or the address control signal inputted to the address port;

a column address decoder for decoding a column address with respect to the address or the address control signal inputted to the address port;

LED memory cell arrays, each of the LED memory cell arrays being surrounded by a decoder line of the row address decoder and a decoder line of the column address decoder in a grid manner; and

an input/output buffer whose buffer direction is controlled in accordance with a writing or reading

**This Page Blank (uspto)**

control signal with respect to a data port.

[CLAIM 2]

The LED panel with a built-in VRAM function as set forth in claim 1, wherein the LED memory cell arrays are cell arrays, a number of the cell arrays being equal to  $M \times N$  ( $M, N$  are arbitrary natural numbers) of a single LED element.

[DESCRIPTION OF EMBODIMENT]

The LED panel with a built-in VRAM function is arranged as follows. The row address decoder 5 for decoding the row address and the column address decoder 6 for decoding the column address are provided with respect to the address/address control signal 12 that has been inputted to the address port 4 in FIG. 3, and both decoder lines are provided in a grid manner. The LED memory array 7 corresponds to an intersected portion of both decoders, and the input/output buffer 8 whose buffer direction is controlled in accordance with the writing or reading control signal 13 with respect to the data port is provided.

**This Page Blank (uspto)**

(19)日本国特許 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-119698

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl. <sup>*</sup>	識別記号	P <sup>1</sup>
G 0 9 F 9/33		G 0 9 F 9/33
G 0 9 G 3/32		R A

(71)発明の名前 VRAM機内蔵のLEDパネル

(21)出願番号 特開平9-287284

(71)出願人 000004237

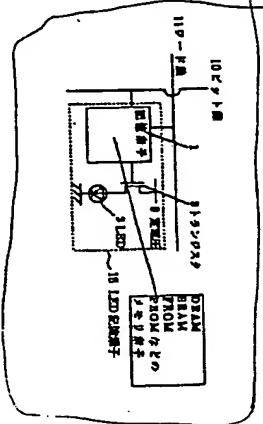
(22)出願日 平成9年(1997)10月20日

(72)発明者 中村 勉

JR東海総合企画会社

東京都渋谷区五丁目7番1号 日本電気株式会社内

(74)代理人 弁護士 岩林 忠 (外4名)



## 【発明の範囲の範囲】

[請求項1] アドレス又はアドレス制御信号の入力ポートとしての入力アドレスポートと、  
アドレス入力ポートに入力された前記アドレス又はア  
ドレス制御信号に対し、ロウアアドレスモードコードするロ  
ードアドレスデコーダと、カラムアドレスをデコードする  
カラムアドレスデコーダと、  
カラムアドレスデコーダと、  
前記ロウアアドレスデコーダのデータ線と、前記カラム  
アドレスデコーダのデータ線とが格子状配置されし  
EDメモリセルアレイと。

前記ロウアアドレスデコーダのデータ線と、前記カラム  
アドレスデコーダのデータ線とが格子状配置されし  
EDメモリセルアレイと、  
データポート側への書き込み又は読み込み制御信号によ  
りバッファ方向制御される入出力バッファとから構成さ  
れる、VRAM機内蔵のLEDパネル。

[請求項2] 前記LEDメモリセルアレイは、LED  
子状配線の交点に前記LEDの1電子が付芯して配置さ  
れたLEDメモリセルアレイである請求項2に記載のV  
RAM機内蔵のLEDパネル。

[請求項3] 前記LEDの1電子は、LEDと記憶素  
子とトランジスタとから構成される請求項2又は請求項  
3に記載のVRAM機内蔵のLEDパネル。

[請求項4] 前記LEDの1電子は、LEDと記憶素  
子とトランジスタとから構成される請求項2又は請求項  
3に記載のVRAM機内蔵のLEDパネル。

[請求項5] 前記トランジスタは、前記記憶素子に格  
付されているデータ値で反応するスイッチング回路であ  
る請求項4に記載のVRAM機内蔵のLEDパネル。

[請求項6] 前記トランジスタは、前記トランジスタ  
又はN型MOSFETである請求項6に  
記載のVRAM機内蔵のLEDパネル。

## [発明の詳細な説明]

10001 [発明の属する技術分野] コンピュータのグラフィック  
ス等の画像データ記憶及び表示装置を有するVRAM機  
内蔵のLEDパネルに関する。

10002 [解決手段] 外部システムからビット第10、ワード  
第11で選択されたLED3に固し、まず記憶素子1に  
対し書き込み可能となる。記憶素子1内で書き込まれた  
データを外に引き出し、これをトランジスタ("1"で  
スイッチOn、"0"でスイッチOff)する特性をもた  
せたためPNP型バイポーラトランジスタあるいはN型  
MOSFET(エンハンスマント)を選択する。このペ  
ースあるいはグートに後続されているため、この記憶素  
子1内で書き込まれたデータの選択変換によるLED3  
の発光スイッチングを行う。

10003 [発明が解決しようとする課題] 上述の従来の技術には  
以下の問題点がある。  
10004 1第1の問題点は、V<sub>DD</sub>とV<sub>SS</sub>間に断たれた記  
憶データを更新するため、VRAMから記憶データを度  
下させてしまう。

[0005] その理由は、画面データと表示データをソ  
リュニオン毎に一致させるため、常に画面データを格納し  
ているVRAMから最新情報を読み出すことが必要な  
め、この時間分遅延性を低下にしながらためである。

10006 第2の問題点は、表示データ専用の表示  
コントローラを開発する必要があり、コスト面に伴な  
る。

10007 その理由は、表示データ専用に規格が異な  
り、特に既存パネルでは標準規格がないため、フレキシ  
ブルな表示回路を必要とするため、コストアップとなる  
ためである。

10008 本発明の目的は、VRAMや表示コントロ  
ーラが不要でシステム全体でローカル、面積の小に貢  
献し、構造が簡略になるVRAM機内蔵のLEDパネ  
ルを提供することにある。

10009 [発明の実施例] 本発明のVRAM機内蔵の  
LEDパネルは、アドレス又はアドレス制御信号の  
入力ポートとしての入力アドレスポートと、アドレス入  
力ポートに接続されたアドレス又はアドレス制御信号に  
対し、ロウアアドレスをデコードするロウアアドレスデ  
コーダと、カラムアドレスをデコードするカラムアドレスデ  
コーダと、ロウアアドレスデコーダのデータ線と、カラ  
ムアドレスデコーダのデータ線とが格子状配置された  
LEDメモリセルアレイと、データポート側への書き込  
み又は読み込み制御信号によりバッファ方向制御され  
る出力バッファとから構成される。

10010 また、LEDメモリセルアレイは、LED  
の1電子のMXN分(M、Nは任意の自然数)のセルア  
レイから構成されてよい。

10011 また、LEDメモリセルアレイは、格子状  
配置の交点にLEDの1電子が付芯して配置されたLE  
Dメモリセルアレイであってよい。

10012 また、LEDの1電子は、LEDと記憶素  
子とトランジスタとから構成されてもよい。

10013 また、トランジスタは、記憶素子に格納さ  
れているデータ値で反応するスイッチング回路であって  
よい。

10014 また、トランジスタは、PNP型バイポー  
ラトランジスタ又はN型MOSFETであってよい。

10015 また、本発明は、以上の構成により、DR  
AMと同じ構成になるため、ページクセスも可駆で  
メモリセルと1対1でLEDを組しているため、表示バ  
トルにもなる。

10016 又、表示用コントローラからの表示リフレ  
ッシュが不要となり、性能向上に寄与する。

10017 さらに、表示パネル用表示回路が不要にな  
るため、コストダウンの効果もある。

10018 従って記憶素子は、DRAMのメモリセル  
構成をとることでDRAMと同じアクセス動作が可能に  
な

(3) なり、データ格納と高速描画作用が可能になる。

[10019] 又、LEDは記憶素子との接続により記憶素子の格納データによりOn/OFF制御ができる。記憶素子の格納データを反映した表示可能なにする。

[10020] 以上のようにして描画性能向上と、表示コントローラ不要にすることが可能になる。

[10021] [発明の実施の形態] 本発明の実施の形態の構成を図面を用いて説明する。

[10022] LED (発光ダイオード) 3と記憶素子1とトランジスタ2とを図1のように接続した1系統(これ以降LED記憶素子1と呼ぶ)として構成し、このLED記憶素子1を図2のようにM×N分(M, Nは任意の自然数)のモジュールアレイ(LEDモジュールアレイ)を構成する。

[10023] 図3においてアドレスカーボート4に入力されたアドレス/アドレステーブル信号1に対し、ロウアドレスをデコードするロウアドレステーブル5と、カラムアドレスをデコードするカラムアドレステーブル6を経し、双方のデータ線を格子状配置する。この格子状配置の交点にLEDモジュールアレイ7を対応させ、データポート側に書き込み/読み出し用脚印信号13によりバッファ向外側出力カバッファ8を配して、VRA (VRAM)内蔵LEDパネルを構成する。

[10024] 以下に、本発明の実施の形態の動作を図面を用いて説明する。

[10025] まず、図1を使用して動作原理を説明する。

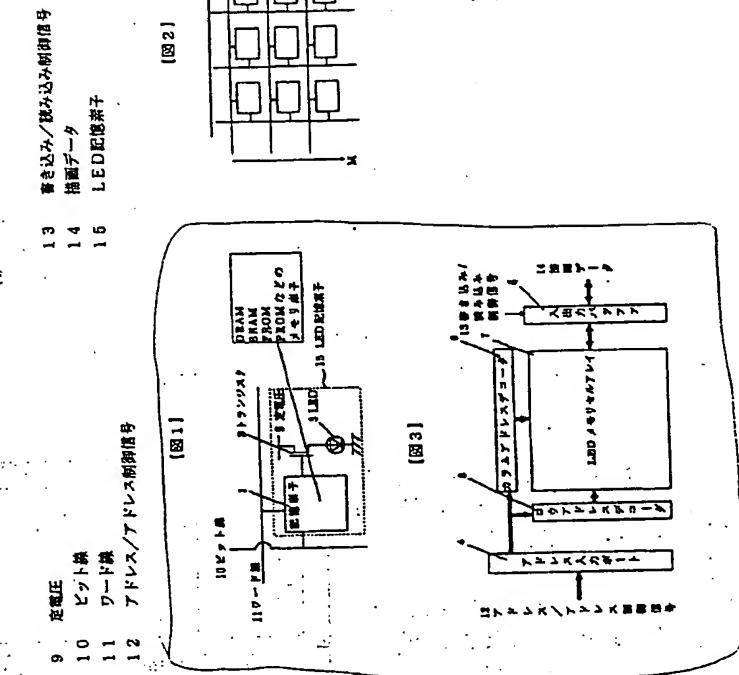
[10026] LED記憶素子15に対する書き込み時のLED発光の動作原理を説明する。

[10027] 最初に、外部システムからビット第10、ワード第11を選択されたLED3に關し、また記憶素子15に対する書き込み可能となる。記憶素子15内で書き込まれたデータを外に引き出し、これをトランジスタ("1"でスイッチOn, "0"でスイッチOff)する。

[10028] 次に図2及び図3を使用して動作原理を説明する。

[10029] 本LED記憶素子15は、従来メモリのように図2のモジュール構成をとり、図3のようにプロック構成にすることで従来メモリと同じアクセス動作が可能となる。

[10030] また、システムから本パネルに対する表示データ書き込みに關し説明する。



[10031] 第1の効果は、本パネル内に記憶素子内蔵や、これが表示素子(発光素子)であるLEDに直結しているため、外部に表示用メモリや表示用回路を必要としないため、グラフィックサブシステムでVRAMや表示コントローラが不要でシステム全体でローコスト、面積縮小に貢献することである。

[10032] 第2の効果は、第一の効果により表示脚印回路が必要なく、描画専用回路のみでよいいため、花形の表示リフレッシュがない分、描画に時間を使われることなく、描画が高速化されることである。

## 【図面の簡単な説明】

[図1] LED記憶素子の構成図である。  
[図2] LEDモジュールアレイの構成図である。  
[図3] LEDパネルの構成図である。

## 【符号の説明】

- 記憶素子
- トランジスタ
- LED (発光ダイオード)
- アドレス入力ポート
- カラムアドレステーブル
- LEDモジュールアレイ
- 入出力カバッファ